

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132701

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01P 1/15

H03K 17/00

H03K 17/693

(21)Application number : 04-278563

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.10.1992

(72)Inventor : SHIMOZAWA MITSUHIRO

IYAMA YOSHITADA

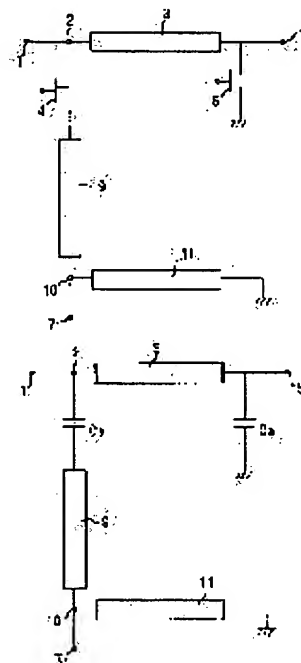
IIDA AKIO

## (54) SEMICONDUCTOR SWITCH

## (57)Abstract:

PURPOSE: To improve reflection/loss characteristics by combining three lines whose length become specified wavelengths by means mutually of a prescribed frequency and mutually compensating reflection occurring on account of susceptance.

CONSTITUTION: In an equivalent circuit, a load resistance which an external resistance connected to a second line 9, a third line 11 and a third input/output terminal 7 shows is loaded on a third input/output terminal 7-side in a capacitor  $C_a$  connected to a first connection point 2. When first and second field effect transistors 4 and 6 are selected in such a way that an impedance that the capacitor  $C_a$  shows as against an impedance which the load shows, the influence of the load can be ignored. In such a case, two capacitors are loaded at the intervals of a  $1/4$ -wavelength. Thus, reflection generated by the capacitors are mutually compensated by a wide frequency, and a satisfactory transmission characteristic can be obtained.



## LEGAL STATUS

[Date of request for examination] 26.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2956383

[Date of registration] 23.07.1999

[Number of appeal against examiner's decision of rejection]

PAGE BLANK (USPTO)

(11)特許出願公開番号

特開平6-132701

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 1/15				
H 0 3 K 17/00	E	9184-5 J		
17/693	A	8221-5 J		

審査請求 未請求 請求項の数 1 (全 7 頁)

(21)出願番号 特願平4-278563

(22)出願日 平成4年(1992)10月16日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 下沢 充弘

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

(72) 発明者 伊山 義忠

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

(72)発明者 飯田 明夫

鎌倉市大船五丁目1番1号 三菱電機株式  
会社電子システム研究所内

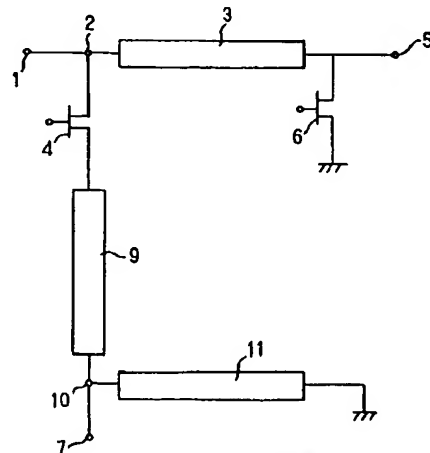
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体スイッチ

(57) 【要約】

【目的】 半導体スイッチの高耐電力化、高帯域化を図る。

【構成】 少なくとも2つの端子を持ち、外部からの制御により端子間のインピーダンスを可変することによりスイッチ機能を有する第一、第二のスイッチング素子を用い、上記第一のスイッチング素子の第一の端子と、上記第二のスイッチング素子の第一の端子とを、所定の周波数で $1/4$ 波長となる長さの第一の線路を介してそれぞれ接続し、上記第二のスイッチング素子の第二の端子は接地し、さらに上記第一のスイッチング素子の第二端子に、所定の周波数で $1/4$ 波長となる長さの第二の線路の一端を接続し、上記第二の線路の他端には所定の周波数で $1/4$ 波長となる長さの第三の線路の一端を接続し、上記第三の線路の他端は接地し、かつ、上記第一、第二のスイッチング素子を制御するための制御手段を具備してなる。



- 1: 第1の入出力端子
- 2: 第1の接点
- 3: 第1の線路
- 4: 第1の電界効果トランジスタ
- 5: 第2の入出力端子
- 6: 第2の電界効果トランジスタ
- 7: 第3の入出力端子
- 8: 第2の線路
- 9: 第2の接点
- 10: 第3の線路

## 【特許請求の範囲】

【請求項1】 少なくとも2つの端子を持ち、外部からの制御により端子間のインピーダンスを可変することによりスイッチ機能を有する第一、第二のスイッチング素子を用い、上記第一のスイッチング素子の第一の端子と、上記第二のスイッチング素子の第一の端子とを、所定の周波数で1/4波長となる長さの第一の線路を介してそれぞれ接続し、上記第二のスイッチング素子の第二の端子は接地し、さらに上記第一のスイッチング素子の第二の端子に、所定の周波数で1/4波長となる長さの第二の線路の一端を接続し、上記第二の線路の他端には、所定の周波数で1/4波長となる長さの第三の線路の一端を接続し、上記第三の線路の他端は接地し、かつ、上記第一、第二のスイッチング素子を制御するための制御手段を具備してなることを特徴とする半導体スイッチ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は入射電波の伝搬経路を切替える半導体スイッチに係わり、特に半導体スイッチの高耐電力化、広帯域化に関するものである。

## 【0002】

【従来技術】 図12は、例えば、特公平3-66841に示された従来の半導体スイッチの構成の一例である。

【0003】 第一の入出力端子1は第一の接続点2において、中心周波数で1/4波長の長さとなる第一の線路3の一端および第一の電界効果トランジスタ4のドレインと電気的に接続されている。第二の入出力端子5は上記第一の線路3の他端および第二の電界効果トランジスタ6のドレインに接続されている。第一の電界効果トランジスタ4のソースは第三の入出力端子7に接続され、一方、第二の電界効果トランジスタ6のソースは接地されている。第一の電界効果トランジスタ4のドレインとソースの間にはインダクタ8が接続されており、第二の電界効果トランジスタ6のドレインとソースの間にも同様にしてインダクタ8が接続されている。さらに、第一の電界効果トランジスタ4のゲート、および第二の電界効果トランジスタ6のゲートにはそれぞれ、外部よりバイアスが印加されるが、ここではそのためのバイアス回路は図示を省略している。

【0004】 次に、動作について説明する。まず、第一の入出力端子1から低電力レベルの電波が入射した場合について説明し、ついで大電力レベルの電波が入射した場合について説明する。

【0005】 まず、第一の入出力端子1から低電力レベルの電波が入射し、第二の入出力端子5へ低損失で伝搬していくスイッチ状態を考える。この状態を便宜上受信状態と称し、図13にこの場合の等価回路を示す。この状態においては、第一、第二の電界効果トランジスタ4、6のそれぞれのゲートにはピンチオフ電圧よりも低

い負のバイアス電圧が印加され、第一、第二の電界効果トランジスタ4、6のドレイン・ソース間は、容量性のインピーダンスを呈する。上記第一、第二の電界効果トランジスタ4、6のドレイン・ソース間に接続されたインダクタ8を、ドレイン・ソース間容量C<sub>1</sub>と並列共振するように値を設定することにより、ドレイン・ソース間には高インピーダンスとなる。したがって、接続点2から第三の入出力端子7側を見たインピーダンス、および、第二の電界効果トランジスタ6の呈するインピーダンスは高くなる。この結果、等価回路は近似的に図14に示すようになり、第一の入出力端子1から入射した低電力レベルの電波は電界効果トランジスタの影響をほとんど受けずに第一の線路3を通り、第二の入出力端子5へ伝搬する。

【0006】 次に、第一の入出力端子1から大電力レベルの電波が入射し、第三の入出力端子7へ低損失で電波が伝搬していくスイッチ状態を考える。これを便宜上送信状態と称し、図15にこの場合の等価回路を示す。この状態では、第一、第二の電界効果トランジスタ4、6のゲートには接地電位に等しい0Vのゲート・バイアス電圧が印加される。この結果、第一、第二の電界効果トランジスタ4、6のドレイン・ソース間は低インピーダンスを呈する。このインピーダンスが十分低ければ、ドレイン・ソース間は短絡となるので等価回路は図16に示す回路となる。ここで第一の接続点2に接続されている1/4波長の長さの第一の線路3は先端が接地されているので、第一の接続点2から第二の入出力端子5側を見たインピーダンスは開放状態に近い高インピーダンスとなる。したがって、第一の入出力端子1に入射した大電力の電波は、第一の接続点2を通過して第三の入出力端子7へ伝搬する。

## 【0007】

【発明が解決しようとする課題】 従来の半導体スイッチは上記のように構成されており、大電力が入射する送信状態において電界効果トランジスタを低インピーダンス状態として用いるため、電界効果トランジスタに高電圧が印加されず、電界効果トランジスタのブレイクダウンを防いで、高電力スイッチが実現される。しかし、第一の接続点2から第二の入出力端子5を見たインピーダンスが開放状態に近い高インピーダンスとなるのは、中心周波数近傍に限られており、それ以外の周波数では上記のインピーダンスが低下する結果、伝送路にサセプタンスが装荷されることになり、反射が増加し、第三の入出力端子7へ伝搬する電波が減少するので狭帯域であるという問題があった。

【0008】 この発明はこのような問題点を解決するためになされたもので、高耐電力半導体スイッチの広帯域化を目的とする。

## 【0009】

【課題を解決するための手段】 この発明に係る半導体ス

イチは、第一のスイッチング素子の第一の端子を、所定の周波数で $1/4$ 波長となる長さの第一の線路の一端に第一の分岐点で接続し、第二の端子を接地した第二のスイッチング素子の第一の端子を、上記第一の線路の他端に接続し、さらに上記第一のスイッチング素子の第二の端子に、所定の周波数で $1/4$ 波長となる長さの第二の線路の一端を接続し、上記第二の線路の他端に、所定の周波数で $1/4$ 波長となる長さの第三の線路の一端を接続して第二の分岐点とし、かつ、上記第三の線路の他端を接地したものである。

#### 【0010】

【作用】この発明においては、大電力レベルの電波入射時において、第一の分岐点に装荷されるサセプタンスにより生じる反射と第二の分岐点に装荷されるサセプタンスにより生じる反射とが互いに打ち消しあう結果、広い周波数帯において反射、損失特性を良好とすることができる。

#### 【0011】

【実施例】実施例1. 図1は、この発明の一実施例の構成を示した図である。少なくとも2つの端子を持ち、外部からの制御により端子間のインピーダンスを変化させることによりスイッチ機能を有するスイッチング素子としては、種々のものが考えられるが、ここでは、一例として半導体素子である電界効果トランジスタを用いた場合について説明する。第一の入出力端子1は、第一の接続点2において、所定の周波数 $f_1$ で $1/4$ 波長の長さとなる第一の線路3の一端および第一の電界効果トランジスタ4のドレインと電気的に接続されている。上記第一の線路3の他端は第二の電界効果トランジスタ6のドレインおよび第二の入出力端子5に接続されている。第一の電界効果トランジスタ4のソースは、所定の周波数 $f_2$ において $1/4$ 波長の長さとなる第二の線路9の一端に接続され、他端は第二の接続点10において、第三の入出力端子7および所定の周波数 $f_3$ で $1/4$ 波長の長さとなる一端接地の第三の線路11に接続されている。さらに、上記2個の電界効果トランジスタのゲートにはバイアス回路（図示せず）を介してバイアスを印加する構成である。ここで、所定の周波数 $f_1$ 、 $f_2$ 、 $f_3$ はすべて同一であっても、すべて異なってもよいが、ここでは一例として、全て同一の場合について述べる。

【0012】次にこの実施例の動作について述べる。以下に述べる説明では、まず、第一の入出力端子1から低電力レベルの電波が入射し、第二の入出力端子5へ伝搬する状態を考える。これを便宜上、受信状態と称する。次に第一の入出力端子1から大電力レベルの電波が入射し、第三の入出力端子7へ伝搬する状態を考える。これを便宜上、送信状態と称する。

【0013】はじめに、受信状態の動作について説明する。図2にこの場合の等価回路を示す。第一、第二の電界効果トランジスタ4、6のゲートには電界効果トラン

ジスタのピンチオフ電圧よりも低い負のバイアス電圧が印加されており、第一、第二の電界効果トランジスタ4、6のソース・ドレイン間は容量 $C_a$ で表される。ここでは、簡単のため、2つの電界効果トランジスタを同一とした場合について示している。

【0014】次に動作を述べる。第一の接続点2に接続された容量 $C_a$ には第三の入出力端子7側に、第二の線路9、第三の線路11と第三の入出力端子7に接続される外部抵抗の呈する負荷抵抗が装荷される。しかし、上記負荷が呈するインピーダンスに対して、容量 $C_a$ が呈するインピーダンスが十分に大きくなるように第一、第二の電界効果トランジスタ4、6を選べば、上記負荷の影響は無視できる。この場合の等価回路は図3に示す。上記2つの容量は $1/4$ 波長間隔で装荷されているので、これらの容量によって生じる反射は、公知のように広い周波数で互いに打ち消しあい、良好な伝搬特性が得られる。

【0015】次に、送信状態の動作について説明する。図4にこの場合の等価回路を示す。第一、第二の電界効果トランジスタ4、6のゲートは接地電位に等しい0Vとされており、第一、第二の電界効果トランジスタ4、6のドレイン・ソース間は抵抗 $R_a$ で表される。抵抗 $R_a$ の値が小さい場合には、等価回路は図5で表される。第一の線路3は先端が接地され、第二の線路9は第一の接続点2に直接接続されていると見なされる。

【0016】次に動作を述べる。先端が接地された第一の線路3と第三の線路11は、所定の周波数以外では容量性あるいは誘導性のサセプタンス $jB$ を呈する。図6にこの状態を示す。上記2つのサセプタンスは $1/4$ 波長間隔で装荷されているので、これらの不連続によって生じる反射は、公知のように広い帯域にわたって互いに打ち消しあい、良好な伝搬特性が得られる。

【0017】実施例2. なお、上記実施例1では、簡単のため、所定の周波数 $f_1$ 、 $f_2$ 、 $f_3$ が、同一の場合について述べたが、この発明ではこれに限らず、所定の周波数 $f_1$ 、 $f_2$ 、 $f_3$ を異なる値とすることにより、いっそうの広帯域化が可能である。例えば、周波数 $f_3$ を周波数 $f_1$ と等しくし、周波数 $f_2$ を周波数 $f_1$ よりも低く選ぶ。この場合の回路を図7に示す。このとき、第一、第二の電界効果トランジスタ4、6のドレイン・ソース間の抵抗 $R_a$ の値が小さければ、送信状態の等価回路は図8で表される。第一の線路3は先端が接地され、第二の線路9は第一の接続点2に直接接続されていると見なされる。周波数 $f_1$ では、第一、第三の線路3、11の長さが $1/4$ 波長となり、先端が接地されているので、第一の接続点2から第一の線路3側を見たインピーダンスと第三の接続点10から第三の線路11をみたインピーダンスはともに、開放状態に近い高インピーダンスとなる。この場合の等価回路を図9に示す。したがって、第一の入出力端子1に入射した大電力の電波

は、第一の接続点2と第二の線路9を通して、第三の入出力端子7へ伝搬する。周波数 $f_1$ より低い周波数 $f_2$ では、先端が短絡された第一、第三の線路3、11は容量性のサセプタンス $jB$ を呈する。この場合の等価回路を図10に示す。2つのサセプタンスは周波数 $f_2$ の $1/4$ 波長の間隔で装荷されているので、これらの不連続によって生じる反射は公知のように、周波数 $f_2$ を中心とした広帯域にわたって互いに打ち消しあい、第一の入出力端子1から第三の入出力端子7への良好な伝搬特性が得られる。

【0018】実施例3. なお、上記実施例では、電界効果トランジスタを用いた場合について述べたが、この発明はこれに限らず、PINダイオード等のダイオードやバイポーラトランジスタ等の他の3端子素子を用いても良い。また、2つの電界効果トランジスタが同一の場合について述べたが、この発明はこれに限らず、2つの電界効果トランジスタが異なってもよい。

【0019】実施例4. なお、上記実施例では、2個の電界効果トランジスタ、1本ずつの第一、第二、第三の線路を用いた場合について述べたが、この発明はこれに限らず、さらに多数個の電界効果トランジスタ、第一、第二、第三の線路を用いてもよい。例えば、図11に示すように第三の電界効果トランジスタ12を追加し、第一、第二、第三の線路を2本ずつ用いる結果、伝送路が多段化されることにより、いっそうの広帯域化が図れる。

#### 【0020】

【発明の効果】以上のように、この発明によれば、所定の周波数で $1/4$ 波長となる長さの3つの線路を組み合わせた構成とした結果、大電力レベルの電波入射時において、第一の分岐点に装荷されるサセプタンスにより生じる反射と第2の分岐点に装荷されるサセプタンスにより生じる反射とが互いに打ち消しあう結果、広い周波数帯において反射、損失特性が良好な半導体スイッチを実現できる。

#### 【図面の簡単な説明】

【図1】この発明の実施例1による半導体スイッチの回路構成図。

【図2】この発明の実施例1による半導体スイッチの低電力入射時の動作説明のための等価回路図。

【図3】この発明の実施例1による半導体スイッチの低電力入射時の動作説明のための等価回路図。

【図4】この発明の実施例1による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図5】この発明の実施例1による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図6】この発明の実施例1による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図7】この発明の実施例2による半導体スイッチの回路構成図。

【図8】この発明の実施例2による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図9】この発明の実施例2による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図10】この発明の実施例2による半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図11】この発明の実施例4による半導体スイッチの回路構成図。

【図12】従来の半導体スイッチの回路構成図。

【図13】従来の半導体スイッチの低電力入射時の動作説明のための等価回路図。

【図14】従来の半導体スイッチの低電力入射時の動作説明のための等価回路図。

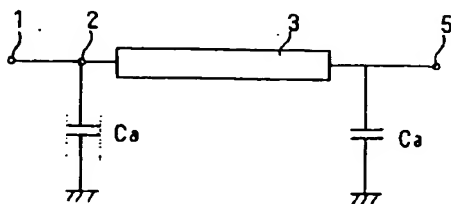
【図15】従来の半導体スイッチの高電力入射時の動作説明のための等価回路図。

【図16】従来の半導体スイッチの高電力入射時の動作説明のための等価回路図。

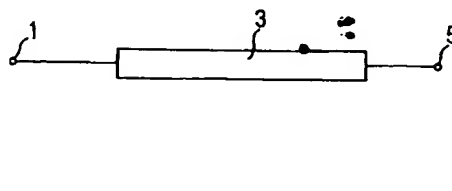
#### 【符号の説明】

- 1 第一の入出力端子
- 2 第一の接続点
- 3 第一の線路
- 4 第一の電界効果トランジスタ
- 5 第二の入出力端子
- 6 第二の電界効果トランジスタ
- 7 第三の入出力端子
- 8 インダクタ
- 9 第二の線路
- 10 第二の接続点
- 11 第三の線路
- 12 第三の電界効果トランジスタ

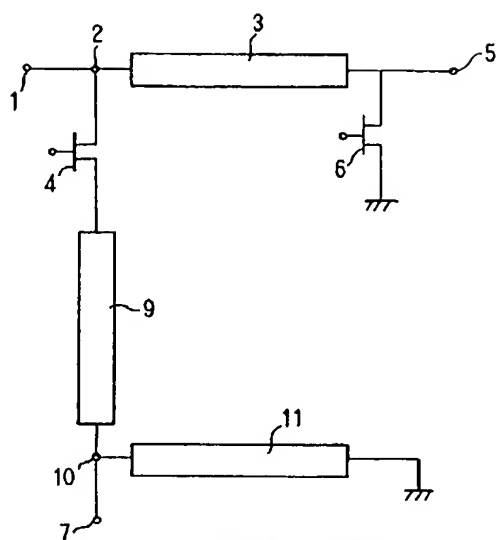
【図3】



【図14】

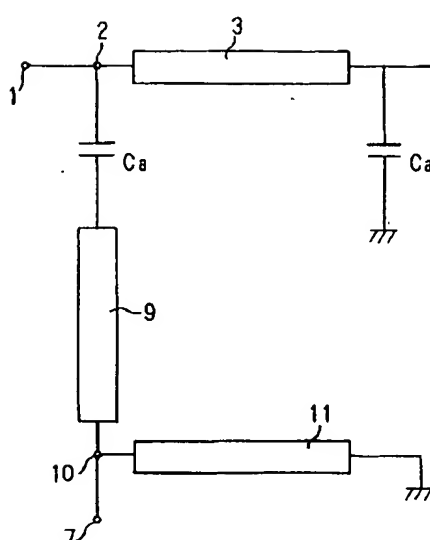


【図1】

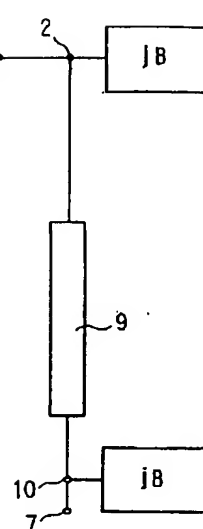


- 1: 第1の入出力端子  
 2: 第1の接続点  
 3: 第1の線路  
 4: 第1の電界効果トランジスタ  
 5: 第2の入出力端子  
 6: 第2の電界効果トランジスタ  
 7: 第3の入出力端子  
 9: 第2の線路  
 10: 第2の接続点  
 11: 第3の線路

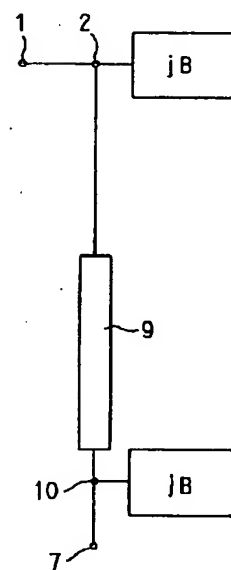
【図2】



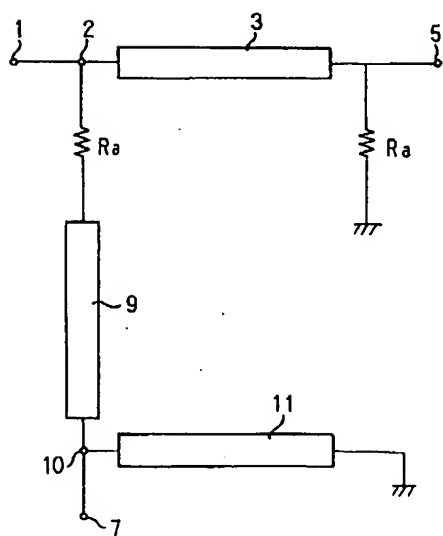
【図10】



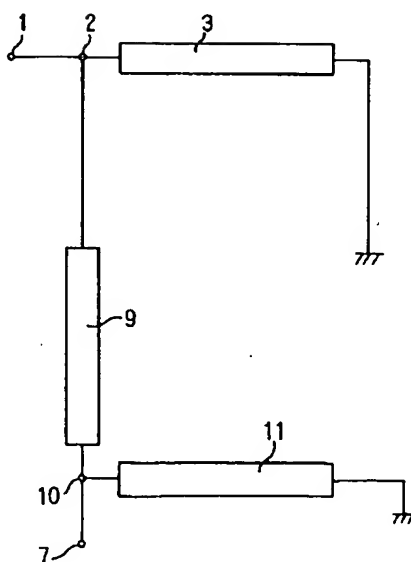
【図6】



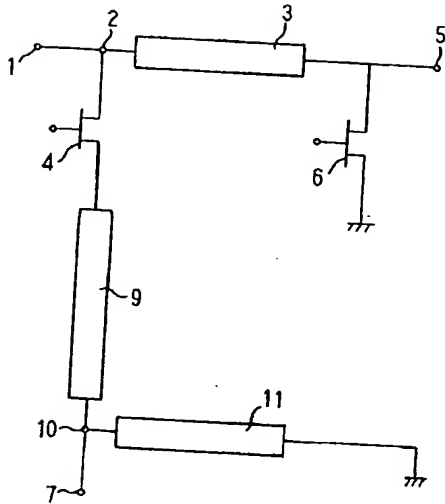
【図4】



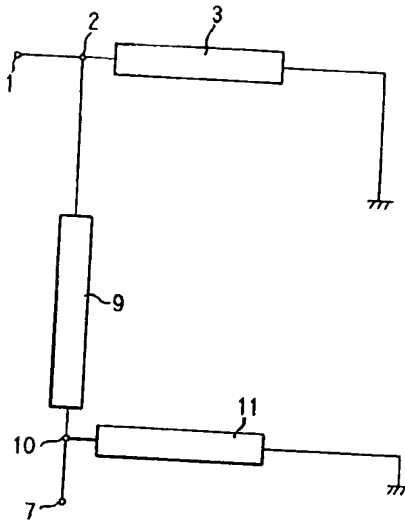
【図5】



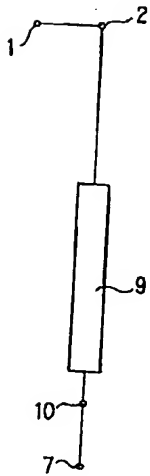
【図7】



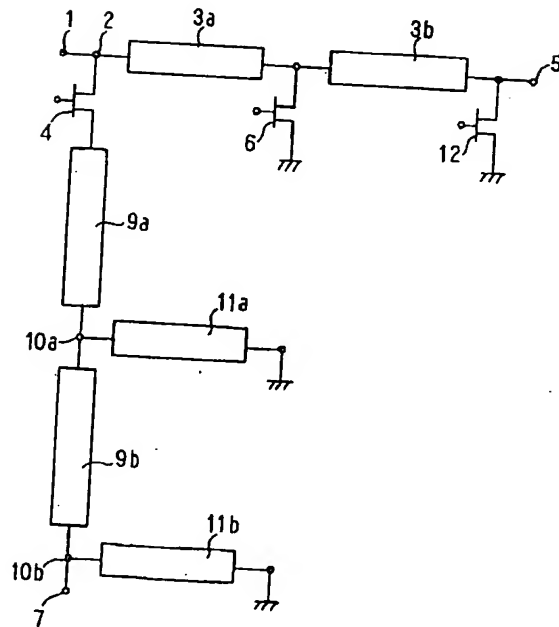
【図8】



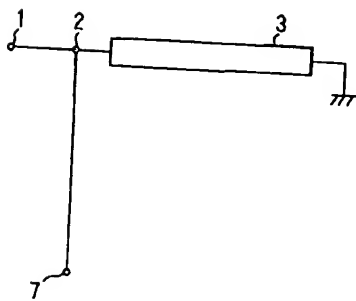
【図9】



【図11】

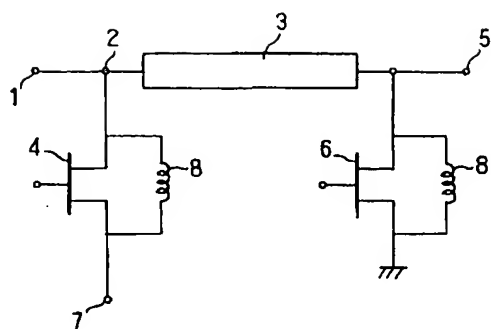


【図16】

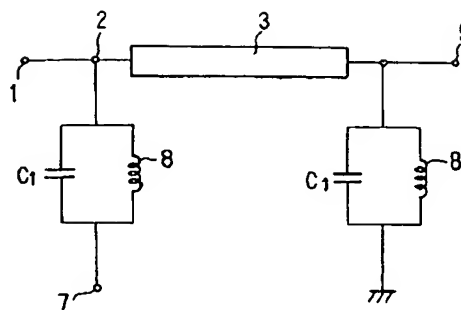




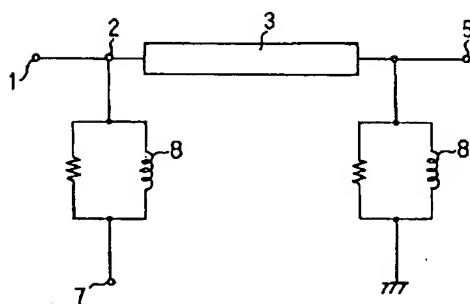
【図12】



【図13】



【図15】



**THIS PAGE BLANK (USPTO)**